

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183033

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 21/3065  
// G03F 7/40  
H01L 21/027

(21)Application number : 10-356782

(71)Applicant : NEC YAMAGUCHI LTD

(22)Date of filing : 15.12.1998

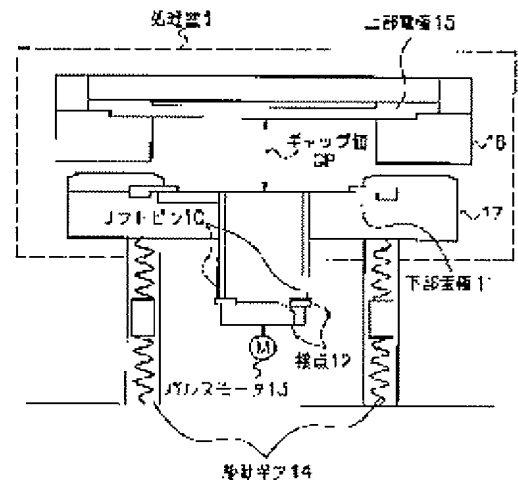
(72)Inventor : NAKAMURA FUMITAKE

## (54) METHOD AND APPARATUS FOR MANUFACTURING SEMICONDUCTOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method and apparatus for manufacturing a semiconductor, wherein a gap interval immediately before wafer working is accurately measured for each wafer, for improved gap accuracy and maintaining constant wafer work quality.

**SOLUTION:** This semiconductor manufacturing apparatus comprises, in a process chamber 1, an upper part electrode 15, an upper-side electrode member 16 comprising the upper part electrode 15, a lower part electrode 11, a lower side electrode member 17 comprising the lower part electrode 11, a lift pin 10 provided at the lower side electrode member 17, a contact point 12 provided at the lift pin 10, a pulse motor 13 for driving the lift pin 10, a pulse motor 13 for driving the lift pin 10, and a drive gear 14. An interval (gap value) between the upper part electrode 15 and the lower part electrode 17 is measured from rising/falling actions of the lift pin 10, which is compared to an originally set gap value. When the gap value agrees with the set value, an etching process is started with a wafer surface. When there is no agreement, the drive gear 14 is driven, based on the signal corrected according to the difference between the gap value and set value, subjecting it to correction processing. Thus, the work quality of a wafer is kept at a constant level.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-183033

(P2000-183033A)

(43) 公開日 平成12年6月30日(2000.6.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/3065		H 0 1 L 21/302	B 2 H 0 9 6
// G 0 3 F 7/40	5 2 1	G 0 3 F 7/40	5 2 1 5 F 0 0 4
H 0 1 L 21/027		H 0 1 L 21/30	5 7 0 5 F 0 4 6

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-356782

(22) 出願日 平成10年12月15日(1998.12.15)

(71) 出願人 000178332

山口日本電気株式会社

山口県厚狭郡楠町大字東万倉字神元192番  
地-3

(72) 発明者 中村 文健

山口県厚狭郡楠町大字東万倉字神元192番  
地3 山口日本電気株式会社内

(74) 代理人 100084250

弁理士 丸山 隆夫

Fターム(参考) 2H096 AA25 HA11 HA30

5F004 BA07 BC05 CA05 CA08 CB01

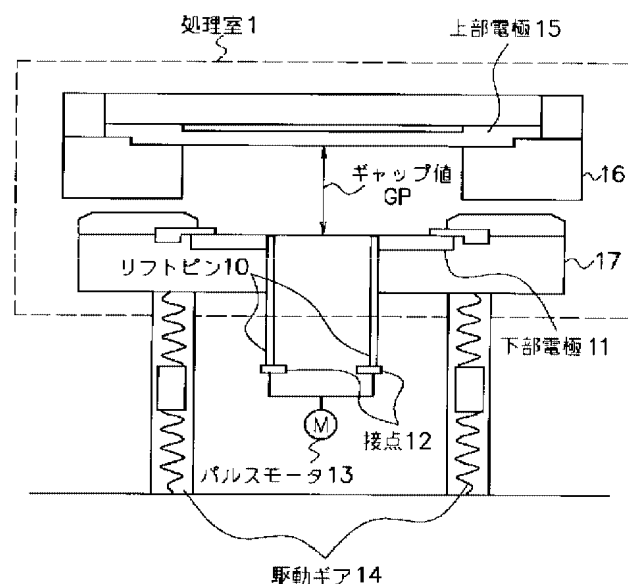
5F046 LB10

(54) 【発明の名称】 半導体製造方法及び半導体製造装置

(57) 【要約】

【課題】 ウエハ加工直前のギャップ間隔をウエハ毎に正確に測定し、ギャップの正確度を向上させて、ウエハの加工品質を一定に保持する半導体製造装置および製造方法を提供する。

【解決手段】 本発明の半導体製造装置は、処理室1内に上部電極15と、上部電極15を設置された上側電極部材16と、下部電極11と、下部電極11を設置された下側電極部材17と、下側電極部材17に設置されたリフトピン10と、リフトピン10に設けられた接点12と、リフトピン10を駆動するパルスモータ13と、駆動ギア14とにより構成される。リフトピン10の昇降動作により、上部電極15と下部電極17との間隔(ギャップ値)を測定し、元々の間隔の設定値と比較することにより、ギャップ値と設定値とが一致する場合には、ウエハの表面にエッチング処理を開始する。また不一致の場合には、ギャップ値と設定値との差分に応じて補正した信号に基づいて駆動ギア14を駆動させ、補正処理を行う。従って、ウエハの加工品質を一定に保持することができる。



(2)

1

## 【特許請求の範囲】

【請求項1】 少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔において下側電極を一部に設けられた下側電極部材とを備える半導体製造装置において、前記処理室内を密閉状態に保持したまま前記下側電極部材に設けられた昇降機構を前記下側電極部材の位置よりも下方に引き下げて前記下側電極部材の上に前記ウェハを載置して加工する加工工程と、前記昇降機構を前記下側電極部材より上方に駆動することにより前記上側電極部材と前記下側電極部材との間隔（ギャップ値）を測定する測定工程と、を有することを特徴とする半導体製造方法。

【請求項2】 前記測定工程による前記間隔（ギャップ値）と前記上側電極部材及び前記下側電極部材の間隔の設定値とを比較する比較工程と、前記比較工程の結果、前記間隔と該間隔の設定値とが一致しない場合に前記昇降機構の駆動量を修正する修正工程と、を有することを特徴とする請求項1記載の半導体製造方法。

【請求項3】 前記比較工程の結果、前記間隔と該間隔の設定値とが一致する場合に前記ウェハの加工処理を開始する開始工程を有することを特徴とする請求項1または2記載の半導体製造方法。

【請求項4】 少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔において下側電極を一部に設けられた下側電極部材とを備える半導体製造装置において、前記処理室内を密閉状態に保持したまま前記下側電極部材に設けられたロッドを前記下側電極部材より下方に引き下げる昇降手段と、前記下部電極部材の上に前記ウェハを載せて該ウェハを加工処理する加工手段と、前記昇降手段により前記ロッドを前記下部電極部材より上方に駆動し、前記上側電極部材と前記下側電極部材との間における前記ロッドの上昇時の間隔の変位量を測定する測定手段と、を有することを特徴とする半導体製造装置。

【請求項5】 前記昇降手段により前記ロッドを上昇させた際に前記間隔の変位量がある場合、前記間隔の変位量を測定するタイミングが前記加工手段による加工処理直前となることを特徴とする請求項4記載の半導体製造装置。

【請求項6】 少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔において下側電極を一部に設けられた下側電極部材とを備える半導体製造装置において、前記処理室内を密閉状態に保持したまま前記下側電極部材に設けられたロッドを前記下側電極部材より上方に引

2

き上げる昇降手段と、前記上側電極部材の下側外周部に設けるアノード電極用のカバー部材と、前記下側電極部材の上側外周部に設けるカソード電極用のカバー部材と、前記下部電極部材の上に前記ウェハを載せて該ウェハを加工処理する加工手段と、前記昇降手段により前記カソード電極用のカバー部材より上方に駆動し、前記アノード電極用のカバー部材との間における前記ロッドの上昇時の間隔の変位量を測定する測定手段と、を有することを特徴とする半導体製造装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、安定したエッチング形状を得るために、常に上側電極と下側電極との間隔（ギャップ値）を一定に保持できる半導体製造方法及び半導体製造装置に関する。

## 【0002】

【従来の技術】従来の半導体製造装置として図6に示される構成が知られている。図6に示される半導体製造装置において、例えば、ドライエッチング装置で一般的に行われている手法としては、処理室内の大気開放時に測定治具51として圧縮によりその長さが変位するコマのようなものを上側電極52と下側電極53との間にセットする。上部電極52または下部電極53を上昇または下降させた後、再度処理室内の大気開放を行い、測定治具51を取り出し、その長さを計測して間隔（ギャップ値）を測定するという手法が採用されている。

【0003】また、別の従来例として、例えば、厚さにばらつきがあるガラス基板に一定の膜厚でレジストを塗布するレジスト塗布装置が特開平9-68804号公報に開示されている。このレジスト塗布装置は、特にガラス基板の厚さに応じて、ニップローラ支持部材をロールバーに対して接近または離間させる昇降機構と、これを駆動させるためのパルスモータなどを用いて、ニップローラとロールバーとの間の間隔を変化させている。これにより、ガラス基板の厚みにばらつきがあっても一定の膜厚でガラス基板上にレジストを塗布することができ

## 【0004】

【発明が解決しようとする課題】しかしながら、図6に示される従来の半導体製造装置においては、処理室内のメンテナンス等で大気開放を行う場合にのみ、ギャップ値を測定するものに過ぎないので、ウェハの表面加工処理の際にギャップ値の再現性を保証することができないという問題がある。

【0005】また、特開平9-68804号公報に開示されるレジスト塗布装置においては、ガラス基板の厚さに応じて、昇降機構とパルスモータとを用いて、ニップ

50

(3)

3

ローラとロールバーとの間隔を変化させてレジストを塗布することによりレジスト層の厚みのばらつきをないようにしたが、ニップローラとロールバーのニップ圧の調整が充分でない場合、あるいはパルスモータの回転が電圧変動やノイズ等の影響により変動する場合には、均一にガラス基板上にレジストできないため、製品の均一化を保証することができないという問題がある。

【0006】本発明の第1の目的は、一連のウェハの連続加工処理において、ウェハ加工直前のギャップ間隔をウェハ毎に正確に測定することにより、ウェハ加工品質に影響する上部電極と下部電極との間隔（ギャップ値）の正確度を向上させて、ウェハの加工品質を一定に保持する半導体製造方法及び半導体製造装置を提供することにある。

【0007】本発明の第2の目的は、一連のウェハの連続加工処理において、ウェハ加工直前のギャップ間隔の測定値と元々の設定値とを比較して補正することにより、モータの回転変動などに影響されることなく、一定の品質の製品を製造できる半導体製造方法及び半導体製造装置を提供することにある。

【0008】

【課題を解決するための手段】前記課題を解決するために、請求項1記載の発明は、少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔をおいて下側電極を一部に設けられた下側電極部材とを備える半導体製造装置において、処理室内を密閉状態に保持したまま下側電極部材に設けられた昇降機構を下側電極部材の位置よりも下方に引き下げて下側電極部材の上にウェハを載置して加工する加工工程と、昇降機構を下側電極部材より上方に駆動することにより上側電極部材と下側電極部材との間隔（ギャップ値）を測定する測定工程と、を有することを特徴とする。

【0009】処理室内の密閉状態を保持したまま下側電極部材に設けた昇降機構を下側電極部材より下方に引き下げる際には、下部電極部材の上にウェハを載せてそのウェハを連続的に加工し、昇降機構を下部電極部材より上方に駆動し、上側電極部材と下側電極部材との間の昇降機構の上昇時のギャップの変位量を測定し、一連のウェハの連続処理において、ウェハ加工直前のギャップ間隔をウェハ毎に正確に測定することにより、ウェハ加工品質に影響するギャップの正確度を向上させて、ウェハの加工品質を一定に保持する。

【0010】請求項2記載の発明は、請求項1記載の発明において、測定工程による間隔（ギャップ値）と上側電極部材及び下側電極部材の間隔の設定値とを比較する比較工程と、比較工程の結果、間隔と該間隔の設定値とが一致しない場合に昇降機構の駆動量を修正する修正工程と、を有することを特徴とする。

【0011】ギャップの測定結果（実測値）とギャップ

4

の管理値（設定値）との比較をする際には、測定結果とギャップの管理値が一致しないとき、昇降機構の駆動量を修正することにより、ウェハ加工品質に影響するギャップの正確度をより向上させて、ウェハの加工品質を一定に保持する。

【0012】請求項3記載の発明は、請求項1または2記載の発明において、比較工程の結果、間隔と該間隔の設定値とが一致する場合にウェハの加工処理を開始する開始工程を有することを特徴とする。

10 【0013】測定結果とギャップの管理値が一致するときは、ウェハの加工を開始することにより、より再現性の高くして品質の一定な製品を得ることができる。

【0014】請求項4記載の発明は、少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔をおいて下側電極を一部に設けられた下側電極部材とを備える半導体製造装置において、処理室内を密閉状態に保持したまま下側電極部材に設けられたロッドを下側電極部材より下方に引き下げる昇降手段と、下部電極部材の上にウェハを載せて該ウェハを加工処理する加工手段と、昇降手段によりロッドを下側電極部材より上方に駆動し、上側電極部材と下側電極部材との間におけるロッドの上昇時の間隔の変位量を測定する測定手段と、を有することを特徴とする。

20 【0015】ウェハの加工の際には、処理室内の密閉状態を保持したまま下側電極部材に設けたロッドを昇降手段で下側電極部材より下方に引き下げて、ついで電極間隔を測定するため、下部電極部材の上にウェハを載せ、下部電極部材の上方にロッドを駆動し、上側電極部材と下側電極部材との間のロッドの上昇時のギャップの変位量を測定する。

30 【0016】請求項5記載の発明は、請求項4記載の発明において、少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔をおいて下側電極を一部に設けられた下側電極部材とを備える半導体製造装置において、処理室内を密閉状態に保持したまま下側電極部材に設けられたロッドを下側電極部材より下方に引き下げる昇降手段と、下部電極部材の上にウェハを載せて該ウェハを加工処理する加工手段と、昇降手段によりロッドを下側電極部材より上方に駆動し、上側電極部材と下側電極部材との間におけるロッドの上昇時の間隔の変位量を測定する測定手段と、を有することを特徴とする。

40 【0017】ロッドの上昇によるギャップの変位がある場合は、ギャップを測定するタイミングがウェハを加工する直前になる。

50 【0018】請求項6記載の発明は、少なくともウェハ加工処理室内に上側電極を一部に設けられた上側電極部材と、該上側電極部材と任意の間隔をおいて下側電極を一部に設けられた下側電極部材とを備える半導体製造装

(4)

5

置において、処理室内を密閉状態に保持したまま下側電極部材に設けられたロッドを下側電極部材より上方に引き上げる昇降手段と、上側電極部材の下側外周部に設けるアノード電極用のカバー部材と、下側電極部材の上側外周部に設けるカソード電極用のカバー部材と、下部電極部材の上にウェハを載せて該ウェハを加工処理する加工手段と、昇降手段によりカソード電極用のカバー部材より上方に駆動し、アノード電極用のカバー部材との間におけるロッドの上昇時の間隔の変位量を測定する測定手段と、を有することを特徴とする。

【0019】下部電極部材の上にウェハを載せてそのウェハを加工する際は、昇降手段をカソード電極用のカバー部材より上方に駆動し、アノード電極用のカバー部材との間のロッドの上昇時のギャップの変位量を測定する。

【0020】

【発明の実施の形態】次に、添付図面に基づいて本発明の実施形態である半導体製造方法及び半導体製造装置を詳細に説明する。図1から図5を参照すると、本発明による半導体製造方法及び半導体製造装置の実施の形態が示されている。

【0021】図1は、本発明の実施形態である半導体製造装置の概略構成を示す断面図である。図1において、本発明の実施形態である半導体製造装置は、密閉した処理室1内にウェハ搬送用のピンであるリフトピン10を有し、リフトピン10を用いて上部電極15を配置した上側電極部材16と下部電極11を配置した下側電極部材17との間隔であるギャップ値G Pを測定する。

【0022】通常、リフトピン10は、下部電極11の下部にあり、リフトピン10の上端は、下部電極11の表面と同一の平面にある。リフトピン10の下端には、接点12を有しており、リフトピン10の先端に垂直に加わる力により開閉する。

【0023】リフトピン10は、パルスモータ13により上下動作が可能である。さらに下部電極11上には、半導体基板であるウェハ（図示省略）を載置し、表面にエッチング処理をしやすいように、上昇または下降できるように駆動ギア14を駆動させる。

【0024】ギャップの測定をする場合は、ウェハ（図示省略）が処理室1に搬送される前に行い、ギャップ測定時にリフトピン10をパルスモータ13により上昇させる。リフトピン10の上昇が停止するまでのパルスカウント値をギャップ間隔とする。

【0025】図2は、本発明の実施形態である半導体製造装置における作用図である。コントローラ20は、パルスモータ13を適正な速度で回転させることにより、リフトピン10及び接点12を駆動させる昇降手段2を制御する。演算部21には比較部22が設けられ、接点12のオン（ON）時に実測値と設定部23から出力する設定値を比較する。比較結果が一致する場合は、コン

6

トローラ20を起動してパルスモータ13を駆動しウェハ21表面にエッチングをする工程に移行する。

【0026】また比較結果が一致しない場合には、補正部24からパルスモータ13と連動する図1に示される駆動ギア14に補正信号を供給するため、コントローラ20を起動させる。

【0027】図2（A）は、ウェハ21を加工する際の作用図であり、図2（B）は、電極間隔におけるギャップ値G Pを測定する際の作用図である。

10 【0028】ウェハ21の表面に、例えば、化学エッチング法またはリフトオフ法を用いて配線パターンを形成する際に、上部電極15と下部電極11との間に形成する間隔であるギャップ値G Pを測定する。

【0029】図2（A）に示すウェハ21の加工中には、リフトピン10は下部電極11中にあり、リフトピン10の下端には接点12を有し、リフトピン10の上端に加えられる力を以下のようにして測定する。

【0030】リフトピン10の駆動は、パルスモータ13により行い、リフトピン10の上昇変位は、比較部22における比較結果に基づいてパルスモータ13の駆動量から求められる。これにより、ギャップ値G Pの測定が、ウェハ毎もしくはウェハロット毎に測定可能となるので、正確なギャップ値の元でウェハ21を加工することができる。

【0031】図3は、図1及び図2に示される本発明の実施形態である半導体製造装置における動作例を示すフローチャートである。図1及び図2の構成に基づいて本発明の実施形態である半導体製造装置の動作例を説明する。

30 【0032】ステップS30においては、測定結果（実測値）と管理値（設定値）との比較を比較部22で行う。比較の結果、測定結果と管理値とが一致する場合には（ステップS30／YES）、ステップS31に進み、ウェハ21の表面にエッチング処理を開始する。

【0033】ステップS30において、比較の結果、測定値と管理値とが一致しない場合には（ステップS30／NO）、ステップS32にさらに進み、補正部24で比較差分となる補正信号に基づいてコントローラ20より駆動ギア14に比較差分の修正信号を供給する。次いで、ステップS33において、駆動ギア14を駆動させ、再びステップS30に戻り、繰り返して補正処理を行う。

【0034】図4は、本発明の他の実施形態である半導体製造装置の構成を示す断面図であり、上述の図1～図3に示される半導体製造装置と同一の構成については同一の符号を付し、異なる構成について詳しく説明する。なお、ギャップ測定用のリフトピン10は、カソードカバー37内に設けてある。リフトピン38はウェハ21の搬送に用いるものである。

50 【0035】ウェハ21が下部電極11上に搬送されて

(5)

7

いる場合のギャップ測定は、まずパルスモータ34、35を駆動してリフトピン30、31がアノードカバー36に達したとき、接点32、33を閉じ、上昇動作を停止する。停止するまでの駆動量を実測値におけるギャップ値とする。実測値におけるギャップ値とあらかじめ設定部23で設定した設定値である真のギャップ値との相関をとっておくことにより、ギャップの測定をより正確にすることができる。設定値と実測値のギャップ値が異なる場合には、パルスモータ34、35と連動する駆動ギア14に補正値を供給することにより、設定値に合わせこむことができる。

【0036】図5は、本発明の他の実施形態である半導体製造装置の動作例を示すフローチャートである。図4の構成に基づいて図5のフローチャートを説明する。図3のフローチャートと異なるのは、ステップS50～ステップS52までなので、異なる処理についてのみ詳しく説明する。

【0037】ステップS50においては、ウェハ21を搬送する。次に、ステップS51に進んでギャップ値の測定を行い、さらにステップS52において、ギャップの測定結果（実測値）を比較部22に入力する。以下の処理は、図3における処理と共通なので詳しい説明を省略するが、駆動ギア14を駆動させることができる。

【0038】従って、ウェハ21を下部電極11の上に搬送した時においても、ギャップの測定が可能になるので、ギャップ値を常に同じ値に保持することができ、品質の一定した半導体デバイスを製造することができる。さらに、先の実施形態と他の実施形態の半導体製造装置を併用することにより、更に精度のよいギャップ値が測定できるので、さらに品質の良好な半導体デバイスを製造することができる。

【0039】上述される実施形態は、本発明の好適な実施形態であるが、本発明の主旨を逸脱しない限りにおいて、変形実施可能である。例えば、本発明においては、リフトピンの昇降動作の変位量によりギャップ値（上部電極と下部電極との間隔）を測定しているが、リフトピンをパルスモータにより上下させた時の変動分のパルス値と、上部電極と下部電極との設定値との差分により、ギャップ値を測定する方法も可能である。

【0040】また、本発明においては、ウェハのエッチング処理時において測定するものであるが、スパッタ処理時におけるターゲットウェハ間の間隔を測定する際に用いることも可能である。

【0041】

【発明の効果】以上の説明より明らかなように、請求項1記載の発明によれば、下部電極部材の上にウェハを載せてそのウェハを連続的に加工し、昇降機構を下部電極部材より上方に駆動し、上側電極部材と下側電極部材との間の昇降機構の上昇時のギャップの変位量を測定したので、一連のウェハの連続処理において、ウェハ加工直

8

前のギャップ間隔をウェハ毎に正確に測定することができ、ウェハ加工品質に影響するギャップの正確度を向上させることができるので、ウェハの加工品質を一定に保持することができる。

【0042】請求項2記載の発明によれば、請求項1記載の発明において、ギャップの測定結果とギャップの管理値との比較をし、測定結果とギャップの管理値が一致しないときは、昇降機構の駆動量を修正することにより、ウェハ加工品質に影響するギャップの正確度を向上させることができるので、ウェハの加工品質を一定に保持することができる。

【0043】請求項3記載の発明によれば、請求項1または2記載の発明において、測定結果とギャップの管理値が一致するとき、ウェハの加工を開始することにより、ウェハの加工品質を一定に保持することができる。

【0044】請求項4記載の発明によれば、ウェハの加工処理時に処理室内の密閉状態を保持したまま下側電極部材に設けたロッドを昇降手段で下側電極部材より下方に引き下げて、ついで電極間隔を測定するようにしたので、下部電極部材の上方にロッドを駆動し、上側電極部材と下側電極部材との間のロッドの上昇時のギャップの変位量を測定することができる。

【0045】請求項5記載の発明によれば、請求項4記載の発明において、ロッドの上昇によるギャップの変位があるとき、ギャップを測定するタイミングをウェハを加工する直前にすることができる。

【0046】請求項6記載の発明によれば、下部電極部材の上にウェハを載せてそのウェハを加工する際に昇降手段をカソード電極用のカバー部材より上方に駆動することにより、アノード電極用のカバー部材との間のロッドの上昇時のギャップの変位量を測定することができる。

【図面の簡単な説明】

【図1】本発明の実施形態である半導体製造装置の構成を示す断面図である。

【図2】本発明の実施形態である半導体製造装置における作用図である。

【図3】本発明の実施形態である半導体製造装置の動作例を示すフローチャートである。

【図4】本発明の他の実施形態である半導体製造装置の構成を示す断面図である。

【図5】本発明の他の実施形態である半導体製造装置の動作例を示すフローチャートである。

【図6】従来の半導体製造装置の構成を示す断面図である。

【符号の説明】

- 1 処理室
- 2 昇降手段
- 10 リフトピン
- 11 下部電極

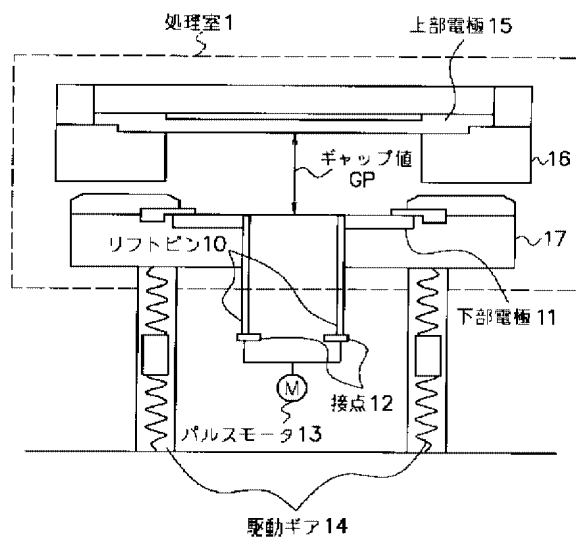
(6)

10

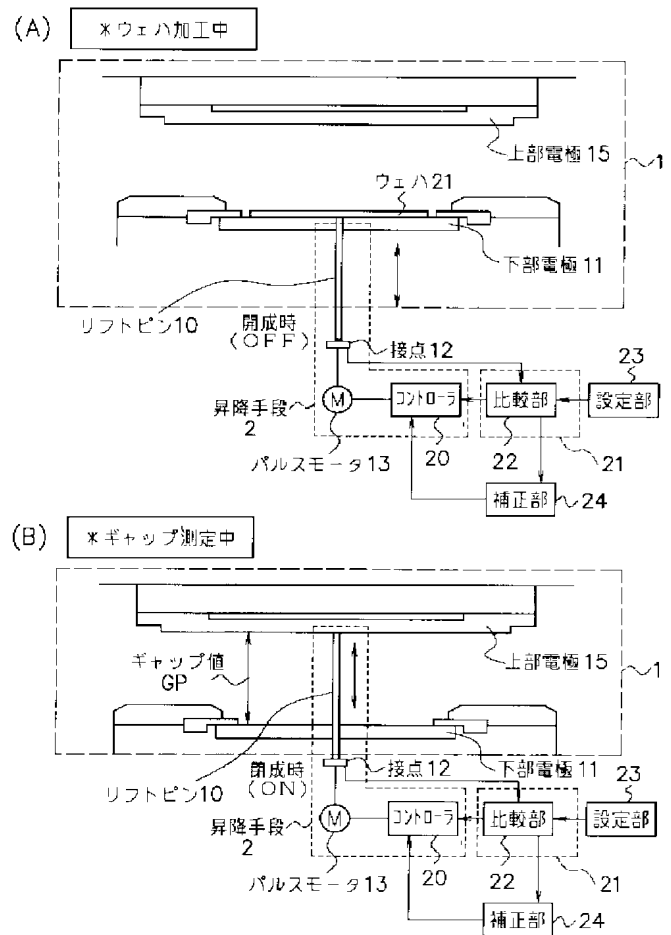
- |     |        |
|-----|--------|
| 1 2 | 接点     |
| 1 3 | パルスモータ |
| 1 4 | 駆動ギア   |
| 1 5 | 上部電極   |
| 1 6 | 上部電極部材 |
| 1 7 | 下部電極部材 |
| 2 0 | コントローラ |
| 2 1 | 演算部    |
| 2 2 | 比較部    |

- 2 3 設定部  
2 4 補正部  
3 0、3 1、3 8 リフトピン  
3 2、3 3 電極  
3 4、3 5 パルスモータ  
3 6 アノードカバー  
3 7 カソードカバー  
G P ギャップ値

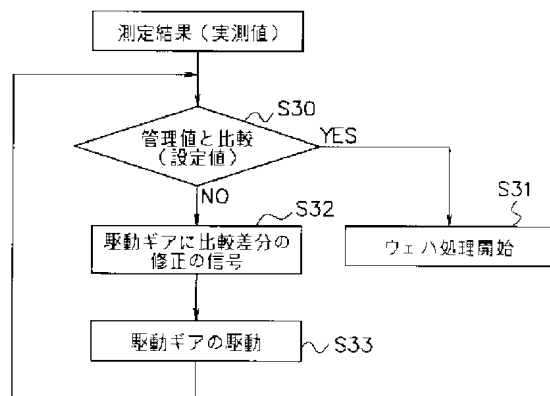
【図 1】



【図 2】

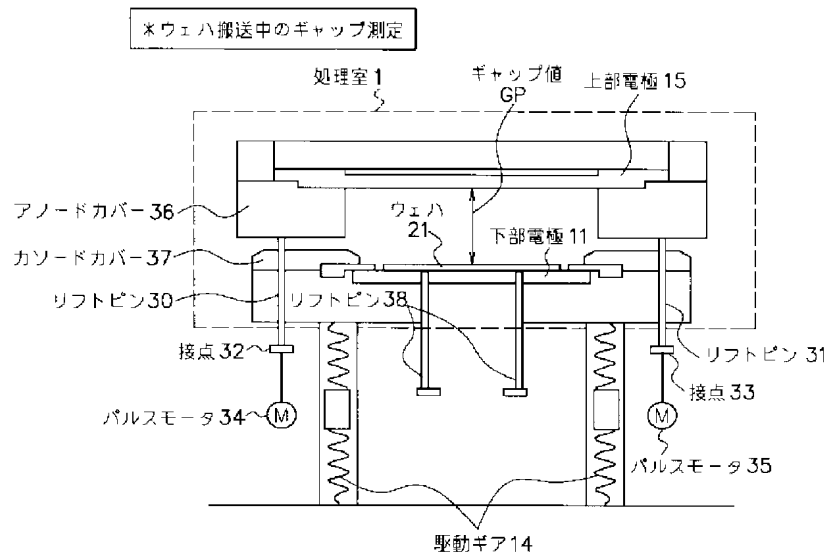


【図 3】

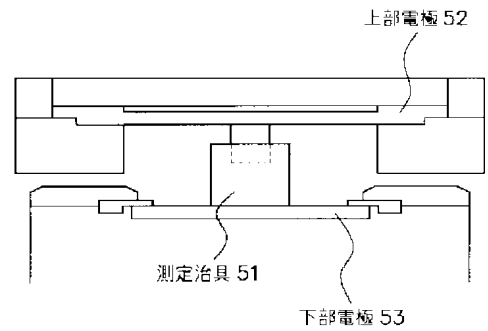


(7)

【図4】



【図6】



【図5】

